

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-297206

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/338			
	29/812			
	29/872			
		9171-4M	H 0 1 L 29/ 80	M
			29/ 48	M
			審査請求 未請求 請求項の数6	OL (全 7 頁)

(21) 出願番号 特願平6-81677

(22) 出願日 平成6年(1994)4月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 森内 俊明

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

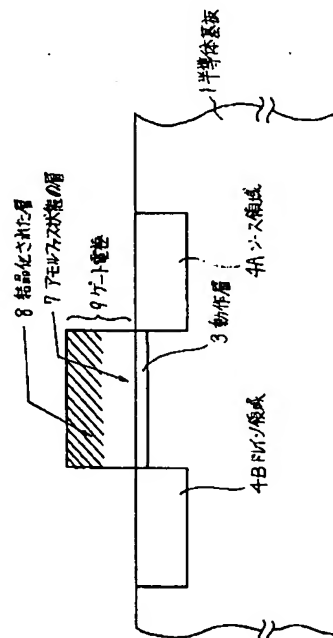
(54) 【発明の名称】 化合物半導体装置とその製造方法

(57) 【要約】

【目的】ショットキー特性が良好であり、剥がれの無い高融点金属シリサイドよりなる低抵抗ゲート電極を得る。

【構成】動作層に接しており、表面方向に向かうに従って高融点金属の割合が増大する高融点金属シリサイドからなるゲート電極を採用する。またゲート電極は、動作層に接する部分がアモルファス状態であり、表面方向に向けて結晶化が進行している構造とする。

本発明の原理図



【特許請求の範囲】

【請求項1】表面に動作層を有する化合物半導体基板

と、
前記動作層に接しており、表面方向に向かうに従って高融点金属のシリコンに対する割合が増大する高融点金属シリサイドからなるゲート電極とを有し、前記ゲート電極と動作層に接する部分がアモルファス状態であり、表面方向に向けて結晶化が進行していることを特徴とする化合物半導体装置。

【請求項2】前記ゲート電極がWSiであり、前記動作層に接する部分のWに対するSiの割合が、0.3から0.6の範囲であることを特徴とする請求項1記載の化合物半導体装置。

【請求項3】前記ゲート電極がWSiであり、表面側のWに対するSiの割合が、0.2以下であることを特徴とする請求項1記載の化合物半導体装置。

【請求項4】スパッタリング成長装置内の原料ガス圧を減少することで、表面方向に向かうに従って高融点金属のシリコンに対する割合が増大する高融点金属シリサイド膜を化合物半導体層の表面に形成する工程と、
前記高融点金属シリサイド膜をアニールすることで、前記高融点金属シリサイド膜を前記化合物半導体基板側がアモルファス状態であり、表面方向に向けて結晶化が進行するようにせしめる工程と、
前記高融点金属シリサイド膜をゲート電極の形状にパターンニングする工程とを含むことを特徴とする化合物半導体装置の製造方法。

【請求項5】スパッタリング成長装置の印加電力を増大することで、表面方向に向かうに従って高融点金属のシリコンに対する割合が増大する高融点金属シリサイド膜を化合物半導体層の表面に形成する工程と、
前記高融点金属シリサイド膜をアニールすることで、前記高融点金属シリサイド膜を前記化合物半導体基板側がアモルファス状態であり、表面方向に向けて結晶化が進行するようにせしめる工程と、
前記高融点金属シリサイド膜をゲート電極の形状にパターンニングする工程とを含むことを特徴とする化合物半導体装置の製造方法。

【請求項6】シリコン原料となるガスと、高融点原料となるガスの混合比を制御して、表面方向に向かうに従って高融点金属のシリコンに対する割合が増大する高融点金属シリサイド膜を化合物半導体層の表面に化学気相成長する工程と、
前記高融点金属シリサイド膜をアニールすることで、前記高融点金属シリサイド膜を前記化合物半導体基板側がアモルファス状態であり、表面方向に向けて結晶化が進行するようにせしめる工程と、
前記高融点金属シリサイド膜をゲート電極の形状にパターンニングする工程とを含むことを特徴とする化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、化合物半導体を使用したショットキーゲートFETに関する。化合物半導体によるショットキーゲートFETは、高速で高周波特性も良好であることから、高速な処理が要求される計算機に搭載されるLSIや、マイクロ波デバイスに使用されている。また、化合物半導体によるショットキーゲートFETの製造には、高融点金属シリサイドからなるゲート電極を使用することで、その耐熱性を生かしたセルフアライン技術が採用できる。

【0002】

【従来の技術】従来のセルフアライン技術を使用して製造されたショットキーFETを図7(A)に示す。図7(A)は従来のショットキーFETを説明する断面図であり、例えばGaAsからなる化合物半導体基板1に形成されたn型の動作層3上にゲート電極2が形成されている。このゲート電極2は高融点金属シリサイド(例えばWSi:タングステンシリサイド)で構成されている。

【0003】ここで、ソース領域4A、ドレイン領域4Bは、ゲート電極2をマスクとしたセルフアラインによって不純物がイオン注入される。上記イオン注入後の不純物活性化のためには、アニール工程が必要であるが、ゲート電極2を構成する高融点金属シリサイドは耐熱性が高いため、そのアニール時にゲート電極2と動作層3とが反応してショットキー特性を変動することがない。なお、このアニールは一般には800℃程度で実施される。

【0004】

【発明が解決しようとする課題】上記セルフアライン技術によると、ソース領域4A、ドレイン領域4Bのイオン注入マスクとしてゲート電極をそのまま利用できるため、イオン注入マスクの形成工程、位置合わせ余裕などを考慮することが不要となる。また、ソース領域とドレイン領域との距離が上記位置合わせ余裕を含まないため、無用なソース抵抗を介在することがないという特徴を有している。

【0005】しかしながら、トランジスタに要求されるショットキー特性を満足する組成の高融点金属シリサイドは比較的抵抗値が高く、高周波での特性指数を表す最大発振周波数 f_{max} が低くなるという問題を有している。この問題を解決する方法として、図7(B)に示す構造が考えられている。この構造は、化合物半導体基板1の動作層3上に二層構造のゲート電極を形成し、動作層に接する側のゲート電極は、所定のショットキー特性を満足する組成の高融点金属シリサイド7とし、上層のゲート電極は、低抵抗を実現できる高融点金属8としている。

【0006】この構造であれば、確かにゲート電極全体

の抵抗値が低下できるが、高融点金属シリサイド7と高融点金属8との界面は異種材料による接合であるためストレスが生じており、それに起因して特性変動や、剥がれが生じるという課題を有している。また、二層構造のゲート電極を作成するためには、高融点金属シリサイドを成長するチャンバと高融点金属を成長するチャンバとを接続した、高価なマルチチャンバ成長装置を使用しなければならないため、製造コストが高くなるという問題を有している。

【0007】つまり、この方法も前記従来技術の代替策としては十分でないのである。本発明は、上記代替策として十分に使用に耐えうる技術を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明では前記課題を解決するために、図1に示すようなゲート電極を採用するものである。図1において、1は化合物半導体基板、3は動作層、4Aはソース領域、4Bはドレイン領域、9は高融点金属シリサイドよりなるゲート電極である。本発明のゲート電極9は、動作層に接する部分から表面方向に向かって、高融点金属のシリコンに対する割合が増大するように変化している。また、このゲート電極9は動作層に接する部分がアモルファス状であり、表面方向に向かって結晶化が進行している。なお、高融点金属シリサイドとしては、WSi、TiWSi、TaSi、MoSiなどが採用できる。

【0009】また、上記高融点金属シリサイドにWSiを採用した場合は、ゲート電極の上部のSi/Wの組成の値が0.2以下であり、動作層と接する部分のSi/Wの組成の値を0.3から0.6の範囲とするのが好ましい。上記ゲート電極を作成するためには、スパッタリング装置内のガス圧を減少させるか、または、スパッタリング装置の印加電力を増大させることにより、表面方向に向かうに従って、高融点金属シリサイド中のシリコンの割合が減少するように高融点金属シリサイドを化合物半導体基板に堆積させ、前記高融点金属シリサイド層をアニールする方法が採用できる。

【0010】また別の方法としては、高融点金属の堆積方法としてCVD法を使用し、シリコン原料ガスと高融点金属原料ガスの供給比をコントロールして本発明の要求を満足するゲート電極を形成しても良い。例えばゲート電極としてWSiを採用する際には、WF₆とSiH₄の混合比を変化させ、上記した本発明の組成比を満足するように堆積し、アニール工程を経ることによりWSiゲート電極を形成することができる。

【0011】

【作用】本発明では高融点金属シリサイドの組成が徐々に変化しており、前記した二層構造のゲート電極の場合にくらべて異種材料間の違いに基づくストレスが発生しない。したがって、本発明によるゲート電極は上記スト

レスに起因する特性変化や剥がれが生じず、また、性能的にも動作層に接する部分ではアモルファス状で且つシリコン組成が所望値を満たしているためショットキー特性が良好であり、表面側では結晶化した高融点金属リッチな組成であるため、ゲート電極全体としての抵抗値が低くできる。

【0012】以下、実験データを参照しつつ高融点金属シリサイドとしてタングステンシリサイド(WSi)を使用した例を使用してアニールによる結晶性と抵抗率の関係を説明する。図2はスパッタ成長に要する高周波電力を順次変化した場合のタングステンシリサイドの特性を示す図である。

【0013】図2Aに示すように高周波電力を増加していくと、シリコンのタングステンに対する比率が減少し、タングステン組成が増大していることがわかる。このタングステンシリサイドに対してアニールを施すと、シリコン組成の大きい側ではアモルファス状で、シリコン組成の小さい側では結晶化が進行することになる。その結果、図2Bに示すように、シリコン組成の大きい側ではアモルファス状であることにも起因して、ショットキー特性としては良好であるが抵抗率自体は高い材料となり、また、シリコン組成の小さい側では結晶化が進行して抵抗率が低い材料となるのである。

【0014】この現象はスパッタリング装置内のガス圧を変化してタングステンシリサイドの組成を変化しても同じである。図3はスパッタリング装置内のガス圧を順次変化した場合のタングステンシリサイドの特性を示す図である。図3Aに示すようにガス圧を増加していくと、シリコンのタングステンに対する比率が増加し、タングステン組成が減少していることがわかる。

【0015】このタングステンシリサイドに対してアニールを施すと、前記と同様にシリコン組成の大きい側ではアモルファス状で、シリコン組成の小さい側では結晶化が進行することになる。その結果、図3Bに示すように、シリコン組成の大きい側ではアモルファス状であることにも起因して、ショットキー特性としては良好であるが抵抗率自体は高い材料となり、また、シリコン組成の小さい側では結晶化が進行して抵抗率が低い材料となる。

【0016】すなわち、高融点金属シリサイドの組成を変化して堆積を行うと、堆積直後はほぼ一定の抵抗値であるが、アニール工程を経ることにより、高融点金属に対するシリコンの割合が大きい部分は、抵抗値が下がらずにアモルファス状態が維持されてショットキー特性が良好となり、一方、高融点金属に対するシリコンの割合が低い部分では結晶化が進んで抵抗値が下がるのである。

【0017】なお、高融点金属とシリコンの組成は、CVD法を使用し、原料ガスを変化しても同様に変化することが可能である。本発明の製造方法によれば組成の変

化が一つの成長装置内で実現できるため、高価なマルチチャンバ成長装置を使用する必要がない。なお、高融点金属シリサイドの高融点金属部分に、W、Ti、Ta、Moの内、すくなくとも1つを使用することにおいて、上記作用は同じである。

【0018】

【実施例】以下に、本発明の一実施例を図4、図5、図6を参照して説明する。本実施例では、高融点金属シリサイドとしてタングステンシリサイド(WSi)を使用したショットキーFETの製造を例として説明する。

図4(A)参照

図において、21はGaAs基板、22はレジストである。

【0019】GaAs基板21にレジスト22を塗布し、レジスト22をマスクとしてMgイオンを注入する。この際の注入条件は、エネルギーを180keVとし、ドーズ量： $8 \times 10^{11} / \text{cm}^2$ とする。次に、同レジスト22をマスクとしてSiイオンを注入する。この際の条件は、エネルギーを40keVとし、注入濃度： $3.5 \times 10^{12} / \text{cm}^2$ とする。

図4(B)参照

動作層23をアニールすることにより、注入された不純物を活性化させる。条件は、雰囲気水を素とし、温度を800℃、時間を30分とする。

図4(C)参照

高周波マグネトロンスパッタリング装置を用い、高融点金属シリサイド膜24の堆積を行う。使用ターゲットはWSi(Si/W比0.6)、使用ガスはAr、ガス圧は25Torrから5Torrへ段階的に変化させ、そのガス圧の変化幅は5Torr、ガス圧の変化間隔は10秒とする。また、成膜速度は800Å/min、成膜厚4000Åとする。

【0020】この時Arガスの圧力が25Torrの時のSi/W比は0.45であり、Arガスの圧力が5Torrの時のSi/W比は0.1である。この工程により、組成が変化する高融点金属シリサイド層(WSi層)が形成される。なお、WSi層の成膜方法は、この方法に限らず成膜時の高周波電力(パワー)を変化させてもよく、あるいは圧力とパワー両方の変化によつての組成の変化でもよい。また、他の方法としてはCVD法を採用し、Si原料ガスと高融点金属原料ガスの混合比の変化によつて組成を変化させて作ってもよい。

【0021】また、組成は段階的変化ではなく、連続変化でもよい。

* 図5(A)参照

レジストを塗布しパターニングすることでマスク25を作成する。

図5(B)参照

化合物半導体基板をSF₆系のガスでマスク25を利用して反応性イオンエッチングすることにより、ゲート電極26を作成する。

図5(C)参照

レジストを塗布し、パターニングされたレジスト27とゲート電極26をマスクとしてSiイオンを注入する。この際の注入条件は、エネルギーを90keVとし、ドーズ量を $2 \times 10^{13} / \text{cm}^2$ とする。

図6(A)参照

ソース領域29A、ドレイン領域29Bを活性化するため、アニールを施す。その条件は、雰囲気水を素とし、アニール温度を800℃、アニール時間を30分とする。

図6(B)参照

レジストを塗布し、パターニングすることにより、マスク30を作成し、AuGe/Au(350Å/4000Å)を蒸着させ、金属層40を形成する。

図6中(C)参照

余分のレジストと金属層を取り除くリフトオフ処理を行った後、雰囲気水を素とし、450℃で合金化処理を行い、ソース電極41A、ドレイン電極41Bを形成する。

【0022】以上の実施例によって形成されたショットキーFETによれば、アニール処理および試験の際、従来技術である二層構造のゲート電極の場合に起こる特性変動や剥がれの問題は起こらなかった。この実施例で作成したFETのデバイス特性を測定したところ、ショットキー特性は従来のものと同様にN値1.25、 $\phi_{B0.69} (V)$ という良好な値が得られた。またゲート長0.8μmのFETでK値を測定すると、しきい値電圧0.2(V)の場合で従来と同様に7.2(mA/V²)という良好な値が得られた。

【0023】本実施例のによるゲート電極の抵抗を、同一ウエハ上に作成した抵抗モニタにより測定したところ、従来方法で作成したゲート電極の抵抗の約1/3という低い値が得られた。なお、前述したようにスパッタリング装置のパワーを変化させて、高融点金属シリサイド膜の組成を変化する場合は、一例として以下の条件を採用することができる。

* 【0024】

成膜パワー・・・0.5kWから2.5kWまで0.5kW間隔で変化

ターゲット・・・WSi(Si/W比0.6のものを使用)

0.5kWの時の堆積時間・・・2分

1.0kWの時の堆積時間・・・1.5分

1.5kWの時の堆積時間・・・1分

2.0kWの時の堆積時間・・・0.6分

2. 5 kWの時の堆積時間 0. 5分

この実施例で作成したFETのデバイス特性を測定したところ、ショットキー特性は従来のものと同様にN値1. 27、 ϕ_B 0. 62 (V)という良好な値が得られた。またゲート長0. 8 μ mのFETでK値を測定すると、しきい値電圧0. 2 (V)の場合で従来と同様に6. 75 (mA/V²)という良好な値が得られた。この組成を変化させたWSi層で作成したゲート電極の抵抗を、同一ウエハ上に作成した抵抗モニタにより測定したところ、従来方法で作成したゲート電極の抵抗の約1/3という低い値が得られた。なお、ゲート電極としては、WSiではなく、TiWSi、TaSi、MoSiなどを使ってもよい。

【0025】

【発明の効果】以上説明した様に、本発明によればショットキー特性が良好であり、且つ抵抗の低いゲート電極を作成することができ、高融点金属シリサイドと高融点金属の二層構造のゲート電極で発生していた特性変動や膜剥がれの問題は発生しない。従って、信頼性の高い化合物半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図1】 本発明のゲート電極を説明する原理図

【図2】 高周波マグネトロンスパッタリング装置のパ*

* ワーを変化させて作ったWSiのSi/Wと堆積直後の抵抗率とアニール処理後の抵抗率を示す図

【図3】 高周波マグネトロンスパッタリング装置の圧力を変化させて作ったWSiのSi/Wと堆積直後の抵抗率とアニール処理後の抵抗率を示す図

【図4】 本発明の一実施例であるセルフアライン技術のGaAsのショットキーFETの製造工程図(1)

【図5】 本発明の一実施例であるセルフアライン技術のGaAsのショットキーFETの製造工程図(2)

【図6】 本発明の一実施例であるセルフアライン技術のGaAsのショットキーFETの製造工程図(3)

【図7】 従来のセルフアライン技術のGaAsのショットキーFETを示す図

【符号の説明】

1 . . . 半導体基板

3 . . . 動作層

4A . . . ソース領域

4B . . . ドレイン領域

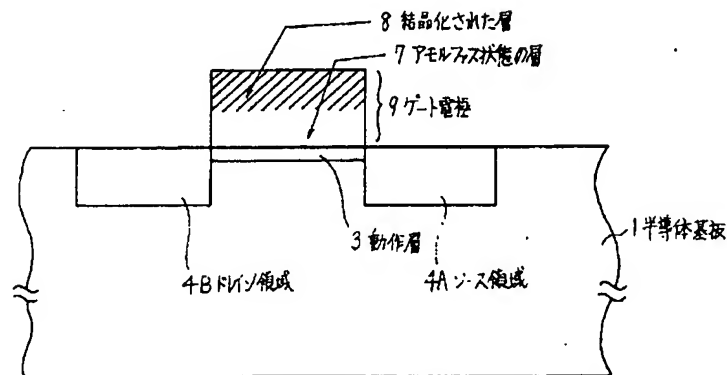
7 アモルファス状態の層

8 結晶化された層

9 ゲート電極

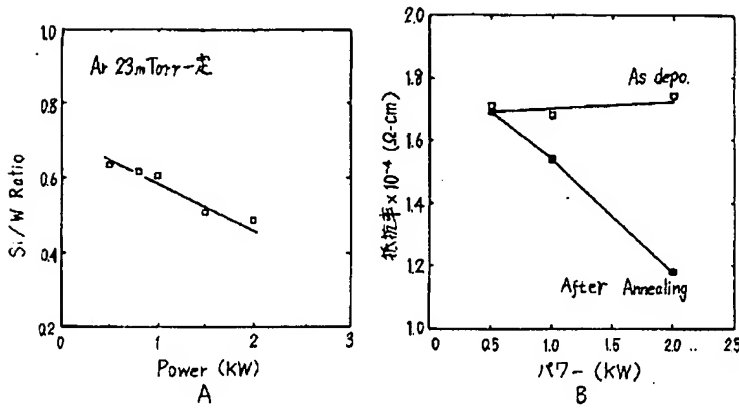
【図1】

本発明の原理図



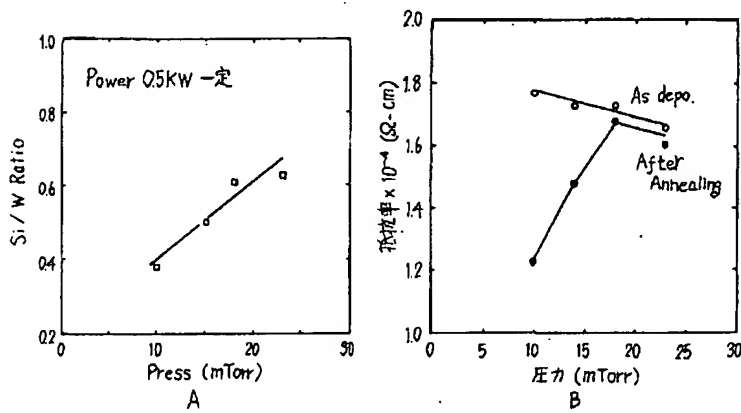
【図2】

パワ-と Si/W とアニール前後の抵抗率



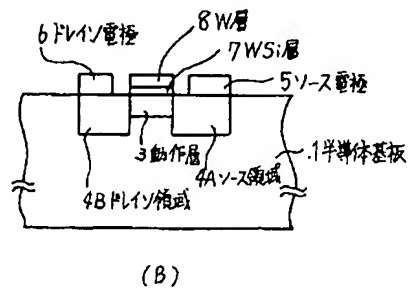
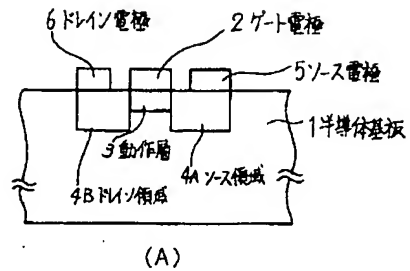
【図3】

圧力と Si/W とアニール前後の抵抗率



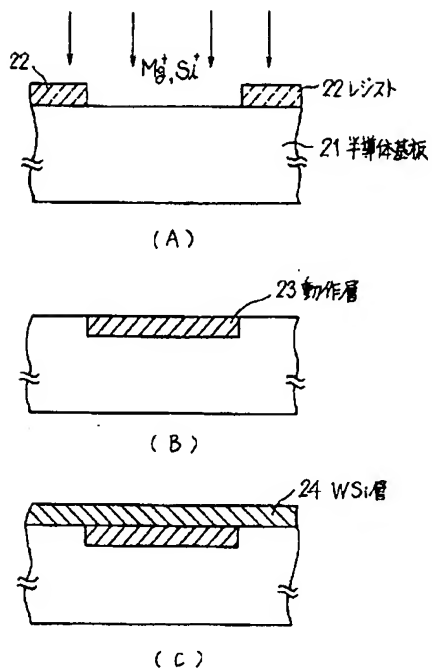
【図7】

従来例



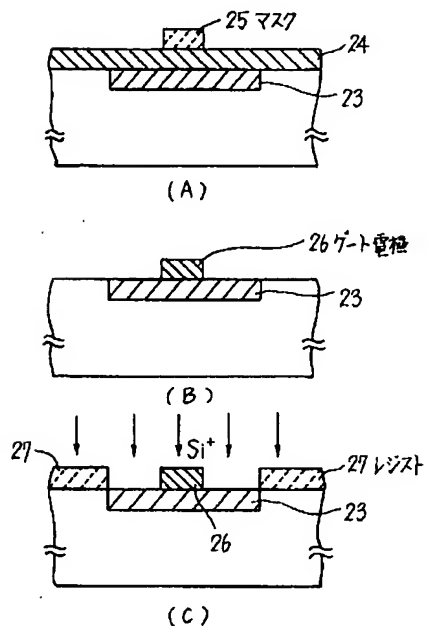
【図4】

本発明の工程図(1)



【図5】

本発明の工程図(2)



【図6】

本発明の工程図(3)

